

XMS6302 用户手册

一个超紧凑的 FPGA 工业级 SOM 模块 (64mm×42mm) 板载 USB3.0 接口、256MiB DDR2 存储器，2 片 8MiB Flash 存储器。

XMS6302 集成了工业级 Xilinx Spartan-6 FPGA (XC6SLX75-2FGG484I)、2Gbit(128M×16-bit) DDR2 SDRAM、2 片 64Mib SPI Flash、高效率的开关电源和 3 个引脚间距为 0.5mm/0.8mm 的高速板对板连接器。

USB3.0 超高速接口提供 FPGA 配置及 PC 与 FPGA 之间的高速数字通信，我们的 Pionway SDK 为此提供了若干非常便捷的传输通道。FPGA 使用一个 100MHz 低抖动的 MEMS 差分晶振作为时钟源。

版权声明

版权所有©2014-2023 北京派诺威电子科技有限公司，保留所有权利。

未经本公司明确书面许可的情况下，任何单位或个人不得对本文档的部分或全部进行摘抄、复制，并不得以任何形式进行传播。

PIONWAY、派诺威 是北京派诺威电子科技有限公司的注册商标。

本文档所涉及的其它公司、组织或个人的产品、商标、专利，除非特别声明，归各自所有人所有。

修订记录

修订日期	修订内容
20220201	最初版本
20221025	增加原理图、PCB 及结构设计检查表部分
20221209	RevB 版本用户 LED 的数量增加
20230619	增加了硬件看门狗定时器的使用说明
20230625	增加了 REV B 版本的机械尺寸图

目录

目录.....	1
XMS6302 概述	3
PCB 封装	3
功能框图	3
FPGA	4
电源	4
电源输入保护	4
超高速 USB 3.0 接口	4
ESD 保护	4
板上外设	5
差分低抖动 MEMS 振荡器.....	5
DDR2 SDRAM	5
系统 Flash	5
FPGA Flash	5
按键、LED.....	5
USB 供电开关	5
板对板连接器.....	6
Pionway 软件	6
使用说明	7
供电.....	7
功率预算	7
例：XMS6302-LX75 FPGA 功耗	8
提供散热设计（重要！！）	8
Host Interface	8
复位机制	9
系统 Flash	9
存储分配	9
FPGA Flash	9
LED.....	9

DDR2 SDRAM	10
时钟配置（源同步）	11
内存控制器（MCB）	11
MIG 设置.....	11
FPGA JTAG	12
密钥存储器（仅 LX75 及以上）	12
易失性加密密钥存储（V _{BATT} ）	12
板对板连接器.....	13
A.....	13
B.....	13
C.....	13
设置 I/O 口电压.....	13
差分信号的考虑.....	14
PCB 版本历史	14
20211229.....	14
20221025.....	14
XMS6302 机械尺寸图	15
REV A 机械尺寸图:	15
REV B 机械尺寸图:	16
XMS6302 引脚快速参考 A.....	17
XMS6302 引脚快速参考 B.....	18
XMS6302 引脚快速参考 C.....	20
XMS6302 引脚快速参考外设.....	21
JTAG 专用接口信号定义	21
原理图、PCB 及结构设计检查表	22

XMS6302 概述

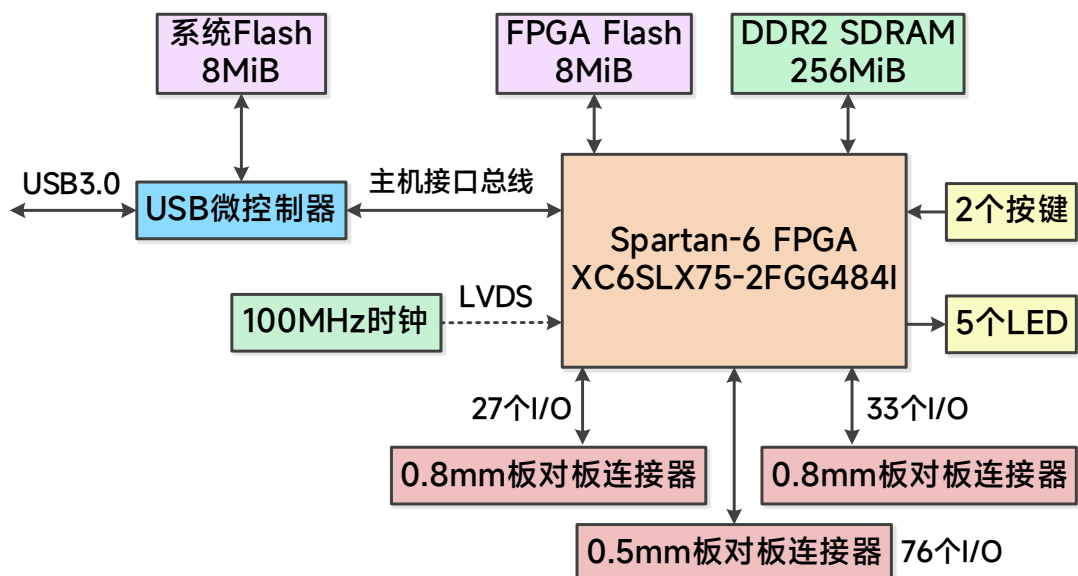
XMS6302 是一个紧凑的工业级 FPGA SOM 模块。它的主要特点是：通过超高速 USB3.0 接口，建立了 Spartan-6 FPGA 与 PC 之间的双向数据传输通道。模块使用标准的 USB 3.0 Micro-B 连接器。板上提供了来自 FPGA 的 136 个 I/O 接口和一个与 FPGA 相连接的 2Gbit(128M×16-bit) DDR2 SDRAM。两个 64Mb (8MB) SPI Flash 分别与 USB 接口芯片、FPGA 连接。XMS6302 上的 FPGA 型号为 Xilinx XC6SLX75-2FGG484I，拥有丰富的逻辑资源，能适应各种中等或者较大规模的设计应用。

PCB 封装

XMS6302 的机械图见本手册的末尾。PCB 的尺寸为 64mm×42mm，板上有四个装配孔（公制螺丝 M2）。USB 连接器超出 PCB 边缘 1.3mm 以适应装配环境。

XMS6302 的底部有三个高密度（引脚间距 0.5/0.8mm）的板对板连接器，提供丰富的 FPGA I/O 及 JTAG 信号和电源的接入。

功能框图



FPGA

下表列出了 XMS6302 FPGA 的一些主要特性，详细的对比请参考 Xilinx 公司提供的相关文档。

特性	XEM6302-LX75I
FPGA 型号	XC6SLX75-2FGG484I
Slice 数量	11,662
D 触发器数量	93,296
分布式 RAM 大小	692 Kib
Block RAM 大小	3,096 Kib
DSP Slice 数量	132
时钟管理模块 (CMT) 数量	6

电源

XMS6302 采用 5V 电源输入，可分别通过 USB 接口或板对板连接器上的电源引脚供电，当 USB 接口和板对板连接器的电源引脚同时供电时，板上的电源管理电路会切断 USB 接口的电源供电而仅由板对板连接器的电源引脚供电。

5V 电源输入分别通过四个高效率的 DC/DC 电源电路转换成 3.3V、2.5V、1.8V、1.2V。每个开关稳压器可提供 2.5A 电流(峰值 3A)，其中 3.3V 和 1.8V 电压轨可通过板对板连接器引脚输出使用。

电源输入保护

XMS6302 的两路 5V 电源输入接口均具有能快速反应的过流、过欠压、及防反接保护功能，当输入电压在 5.4V 至 7.6V 之间的时候，电源保护电路会将电压钳位在 5.4V，超过 7.6V 的时候会停止对 XMS6302 供电。所有错误发生经过短暂关断后会并自动尝试重启。

USB3.0 接口的 5V 输入电流钳位在 2.0A，板对板连接器的 5V 输入电流钳位在 4.0A。

超高速 USB 3.0 接口

XMS6302 使用 Cypress CYUSB3014-BZXI 工业级 USB 微控制器实现 USB3.0 通信，作为 USB 外设，它会被绝大部分计算机中即插即用。并且具有非常高的数据传输速率。

ESD 保护

XMS6302 的 USB 接口增设了独立的 ESD 保护电路，增强了其 ESD 保护能力(IEC61000-4-2 标准下的±12KV 接触放电，±25KV 气隙放电)。

板上外设

XMS6302 集成了若干板上外设，用于支持常用的应用。这些板上外设如下：

差分低抖动 MEMS 振荡器

XMS6302 使用一个固定频率为 100MHz 的工业级低抖动差分(较低的 EMI) MEMS 振荡器作为 FPGA 的时钟源。Intergrated Phase Jitter 为 1.7ps，Period Jitter RMS 为 2.5ps。

FPGA 可以使用片上的 DCM 和 PLL 模块将输入的 100MHz 频率时钟转换为其他频率的时钟信号。

DDR2 SDRAM

XMS6302 集成了一个 256MiB、16bit 位宽的 DDR2 SDRAM，它与 FPGA 直接连接。配以速度等级为-2 的 FPGA，此 SDRAM 的最大时钟频率为 312.5MHz，SDRAM 的最大内存带宽为 10.0Gbps。

DDR2 SDRAM 的实际型号是 Micron 公司的 MT47H128M16RT-25E。

系统 Flash

一个 8MiB (64Mib) 串行 SPI Flash 设备 (Micron N25Q064A11ESE40G) 为 USB 微控制器提供板上非易失性存储器，该设备用来存储设备固件和用户配置信息。

FPGA Flash

一个 8MiB (64Mib) 串行 SPI Flash 设备 (Micron N25Q064A11ESE40G) 为 FPGA 提供板上非易失性存储器，该设备专门用来存储 FPGA 的配置文件 (.bit 文件)。

按键、LED

模块正面放置了 2 个按键用于程序控制。

LED 指示灯总共有四种颜色，白色 LED 为 5V 电源指示灯，红色 LED 为电压轨监测指示灯，绿色 LED 为 FPGA 配置状态指示灯，7 个 (RevA 为 5 个) 黄色 LED 直接连接 FPGA 用作用户指示灯。

USB 供电开关

用户可通过模块正面左上方的滑动开关 USBP 来控制 USB 供电使能，拨向左边会使能 USB 供电，拨向右边会禁用 USB 接口供电。

板对板连接器上的 5V 电源输入不受 USBP 开关的控制，始终是使能状态。如果系统功耗较大，可以考虑禁用 USB 接口供电，全部通过板对板连接器的电源引脚来供电。

模块背面右上角的 0805 封装 R1 位置可以接入一枚电流跳线，用于将 USB 的供电输入直接短接到板对板连接器的电源输入引脚。在这种情况下，USB 供电开关失去关断功能。

板对板连接器

在 XMS6302 的底部有三个高密度（引脚间距为 0.5/0.8mm）的板对板连接器，合高统一为 5mm。这三个连接器为用户提供了以下信号接入：5V 电源供电输入接口、1.8V 和 2.5V 的电压轨输出接口、FPGA BANK0 和 BANK1 的 V_{CC0} 电源输入接口、FPGA 的 JTAG 接口、FPGA 的 136 个 I/O 口（包含了 16 个 GCLK 信号输入和 65 对差分信号）。

0.5mm 间距连接器的型号为 BSH-050-01-F-D-A（SAMTEC 公司），下表是与其匹配的连接器的型号以及对应的合高。

连接器型号 (TE)	合高 (mm)	SMT 吸片	包装方式
BTH-050-01-F-D-A	5	无	卷带
BTH-050-01-L-D-A	5	无	卷带
BTH-050-01-F-D-A-K	5	有	卷带
BTH-050-01-L-D-A-K	5	有	卷带

0.8mm 间距连接器的型号为 5177983-2（TE 公司），下表是与其匹配的连接器的型号以及对应的合高。

连接器型号 (TE)	合高 (mm)	SMT 吸片	包装方式
5177984-2	5	无	管装
5177986-2	5	有	卷带
5084614-2	5	无	管装

Pionway 软件

XMS6302 完全支持 Pionway SDK。目前，Pionway SDK 提供 Win7，Win10 平台下的 C 和 C++ 类库。

关于 Pionway SDK 的详细介绍及示例程序请查阅 Pionway SDK 相关文档。

使用说明

供电

用户可通过 USB3.0 接口或者板对板连接器上的 VCC5VD 引脚对 XMS6302 供电。其中，VCC5VD 要求电源经过滤波且稳定，输入电压范围：+4.6 至+5.4V，最大输入电流为 4.0A。

以下是板对板连接器上的其它电源接口：

- VCC3V3D_OUT 为 XMS6302 的开关稳压器的+3.3V 电源输出，最大电流为 2.5A。
- VCC1V8D_OUT 为 XMS6302 的开关稳压器的+2.5V 电源输出，最大电流为 2.0A。
- FPGA_VCCO0_IN 为 FPGA BANK0 I/O 的电压输入，输入电压范围+1.1 至+3.45V。
- FPGA_VCCO1_IN 为 FPGA BANK1 I/O 的电压输入，输入电压范围+1.1 至+3.45V。

功率预算

下表是 XMS6302 的三个电压轨的功率预算，所有数值都是各元件的数据手册中的典型值或者根据 Xilinx XPower Analyzer 软件的预估近似值，并且高度依赖于应用、速度、器件使用率等。其中，阴影框表示未连接到特定元件，空白框由用户根据使用情况填写。

另外，用户也需要对预估值（如，FPGA 的 V_{CCO} 值）做适当调整。

负载元件	1.2V	1.8V	2.5V	3.3V
100MHz OSC(FPGA)			106 mW	
DDR2		600 mW		
FPGA V_{CCINT}				
FPGA V_{CCAUX}			330 mW	
FPGA V_{CCO3} (DDR2, 预估值)		250 mW		
FPGA V_{CCO2} (USB, 预估值)		250 mW		
FPGA $V_{CCO0, 1}$				
总计:				
可用:	3,000 mW	4,500 mW	6,250 mW	8,250 mW

例：XMS6302-LX75 FPGA 功耗

下表为根据 Xilinx XPower Analyzer 计算的关于 V_{CCINT} 的功耗估算，所有数值都按照 70%~80% 的利用率获得，仅供用户参考。

元件	参数	V_{CCINT}
时钟	150 MHz GCLK – 70,000 fanout	384 mW
时钟	100 MHz GCLK – 70,000 fanout	256 mW
逻辑 (DFF)	150 MHz, 70,000 DFFs	380 mW
逻辑 (DFF)	100 MHz, 70,000 DFFs	232 mW
逻辑 (LUT)	150 MHz, 32,000 组合, 1,000 SR, 1,000 RAM	287 mW
逻辑 (LUT)	100 MHz, 32,000 组合, 1,000 SR, 1,000 RAM	191 mW
BRAM	18-bit, 100 @ 150 MHz, 100 @ 100 MHz	237 mW
DSP	150 MHz, 140 slices	78 mW
MCB	150 MHz	85 mW
杂项	DCM, PLL 等	100 mW
	总计	2,230 mW
	可用	3,000 mW

提供散热设计（重要！！）

由于 XMS6302 在很小的面积上提供了大量的逻辑资源，因此散热设计非常重要。发热量的大小取决于最终的应用。原则上，XMS6302 上的任何一个器件都需要增加热沉，但关注的主要对象是 FPGA 和 DDR2。虽然开关电源的效率很高，但它们非常紧凑并且占用的 PCB 面积很小，也应给予关注。

如果您计划在一个密闭环境中使用 XMS6302，请务必在您的设计中考虑散热问题。

Host Interface

板上的 USB 微控制器与 FPGA 之间共有几十根信号线，这些信号构成了 FPGA 的 Host Interface 并且用于配置下载。配置完成后，这些信号用于计算机与 FPGA 之间的通信。

如果 Pionway HOST 模块在您的设计中已被实例化，那么您必须使用 Xilinx LOC 约束管理器，将这些接口映射到特定引脚位置，您可以使用 Xilinx 约束编辑器或者在文本文件中手动编写约束文件。请参考我们提供的示例程序。

复位机制

在模块上电和运行过程中，供电电压监控电路检测模块上的 1.8V 的电压轨，如果小于预定门限值则持续输出低电平有效的复位信号（板对板连接器 C60 引脚的 SYS_RST_OUT 信号）并复位 USB 控制器，当达到预定门限再过 200ms 延时后，复位信号解除。

FPGA 的复位管理由 FPGA 内部的上电复位电路（POR）来控制。

板对板连接器上的 C59 引脚的 MR_N_IN 信号是模块复位信号的输入端，低电平有效，已经内部接入 1.8V 弱上拉，其最高外部输入电压不要超过 2.0V。

XMS6302 板载了硬件看门狗定时器来增加系统可靠性。可以通过将板卡背面右下角 WDT 标识处的拨码开关拨到 ON 位置来启用这个功能，此功能需要 V1.10 以上的固件版本支持。

系统 Flash

该 Flash 与 USB 微控制器连接，用于存储设备固件和用户数据，并且可以通过 Pionway API 访问。该 API 有三种访问方法：FlashEraseSector，FlashWrite，FlashRead。具体使用方法请参考 Pionway SDK 用户手册和 Pionway API 参考手册。

存储分配

系统 Flash 的具体型号是 Micron 的 N25Q064A11ESE40G，它的容量是 8MiB，内部分为 128 个 64-KiB 的簇，每个簇又分为了 256 个 256 字节的页。其中第 0 至第 15 簇为系统预留使用，剩余的 7MiB 可被用户使用 Pionway API 来访问。FPGA 是否被配置并不影响系统 Flash 的使用情况。执行 Flash 写入前需要先对写入数据所在的扇区执行擦除操作，擦出操作会一次擦除一整个 64KiB 扇区。Flash 的读写操作以页为单位进行。

FPGA Flash

连接到 FPGA 上的 Flash 的也是 Micron 的 N25Q064A11ESE40G（1.8V），专门用于存储 FPGA 的 bit 流文件。

LED

XMS6302 有 5 个用户 LED，它们分别与 FPGA 的 5 个 I/O 口连接（具体的管脚映射参见本文档末尾的附录）。

每个 LED 的阳极都通过一个限流电阻连接到+2.5V 电源，阴极则与 FPGA 的 BANK 3 I/O 口连接。因此，点亮 LED 需将对应的 FPGA I/O 口置低电平，关闭 LED 需将对应的 FPGA I/O 口置高电平或高阻态。

DDR2 SDRAM

DDR2 SDRAM 与 FPGA 的 BANK 3 I/O (+1.8V) 连接。以下是引脚连接列表。

DDR2 引脚	FPGA 引脚
CK	H4
CK#	H3
CKE	D2
ODT	J6
RAS#	K5
CAS#	K4
WE#	F2
LDQS	L3
LDQS#	L1
UDQS	T2
UDQS#	T1
LDM	L4
UDM	M3
RZQ	Y2
ZIO	W3
A0	H2
A1	H1
A2	H5
A3	K6
A4	F3
A5	K3
A6	J4
A7	H6
A8	E3

DDR2 引脚	FPGA 引脚
A9	E1
A10	G4
A11	C1
A12	D1
A13	G6
BA0	G3
BA1	G1
BA2	F1
D0	N3
D1	N1
D2	M2
D3	M1
D4	J3
D5	J1
D6	K2
D7	K1
D8	P2
D9	P1
D10	R3
D11	R1
D12	U3
D13	U1
D14	V2
D15	V1

时钟配置（源同步）

DDR2 时钟设计为源同步，即 FPGA 直接发送时钟、控制和数据信号给 DDR2，提升了信号的同步精度，进而提高了传输速率。

内存控制器（MCB）

Spartan-6 集成了可以与外部 DDR2 SDRAM 通信的内存控制器。您可以使用 Xilinx Core Generator（Memory Interface Generator 即 MIG）生成合适的内存控制电路。您需要阅读并熟悉 DDR2、MIG 和 MCB 的数据手册。虽然 MIG 可以节省很多的开发时间，理解这些信息可以使您更好地建立一个可用的 DDR2 内存接口。

XMS6302 的 V_{CCINT} 为 1.2V，根据 MCB 手册，速度等级为-2 的 Spartan-6 可以使 DDR2 时钟频率达到 312.5MHz。

MIG 设置

以下设置用于使用 Xilinx Core Generator 生成 MIG 核，您可以使用我们提供的 RAM Tester 示例程序测试 DDR2。这些设置使用的是 ISE 14.7 和 MIG 3.61。注意不同版本的 ISE 和 MIG 在设置上会略有不同。

选项	设定值
Period	3200ps (312.5 MHz)
Memory Type	Component
Memory Part	MT47H128M16xx-25E(2Gb)
Data Width	16
Output Driver Strength	Fullstrength
RTT(nominal)	50ohms
DQS# Enable	Enabled
High-temp self-refresh	Disable
Memory Interface Pin Termination	Calibrated Input Termination
RZQ pin	Y2
ZIO pin	W3
Debug signals	Your option
System clock	Differential

FPGA JTAG

用户可以通过 JTAG 接口在 Xilinx 的 iMPACT 和 ChipScope 软件中来对 FPGA 进行配置与调试等操作。用户可以从 XMS6302 上专用的 1.0mm 间距 JTAG 板对线连接器 (X1011WVS-2x06-9TV01) 或 0.8mm 板对板连接器 A 来接入 FPGA JTAG 接口。

1.0mm JTAG 连接器的配合胶壳型号 X1011H-2x06-N0HF，配合端子型号 X1011T-PSN。FPGA JTAG 的 VREF 参考电压为 2.5V。此接口插拔前请先断电！

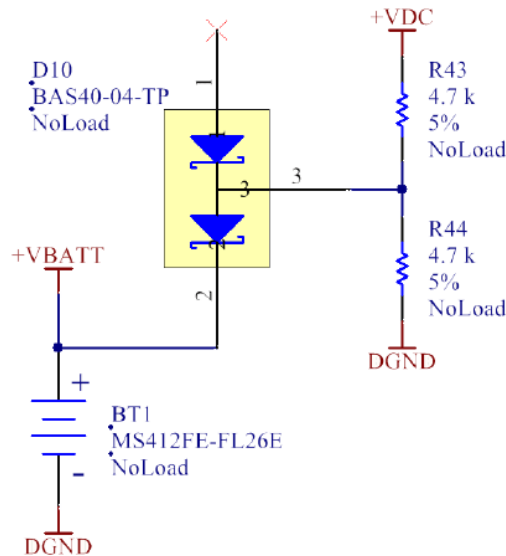
密钥存储器（仅 LX75 及以上）

Spartan-6 FPGA 提供了一种 AES 加密算法，用于对用户比特文件进行防复制保护。它有两种密钥存储方法：一是易失性存储，它需要一个外部电池 (V_{BATT}) 做支持；二是非易失性存储，它是一次性可编程方式 (eFUSE)。XMS6302 仅支持易失性存储方式 (V_{BATT})。

易失性加密密钥存储 (V_{BATT})

我们已将 FPGA 的 V_{BATT} 引脚直接连接到板对板连接器上，用户可在该引脚上直接外接一个锂电池，即可实现该密钥存储功能。为了持续使用，我们建议使用一个可再充电的锂电池。

以下是我们提供的一种可用的电路连接方式及电路中各个元件规格，供参考。



元件标识	生产商	生产商型号	描述
BT1	Seiko Instruments	MS412FE-FL26E	3V, 1mAh 锂电池
D10	Micro Commercial	BAS40-04-TP	肖特基二极管, SOT23
C150	Generic	0.1 μ F, SM-0603	去耦电容
R43, R44	Generic	4.7 k Ω , 5%, SM-0603	分压电阻

板对板连接器

XMS6302 有三个板对板连接器，分别为 A、B 和 C。它们是 XMS6302 与外界交互的主要接口。

A

板对板连接器 A 共有 60 个引脚，提供 XMS6302 的 5V 电源输入口、来自 XMS6302 的 3.3V 电源输出、来自 FPGA BANK 0 的 27 个 I/O 口。其中，引脚 16，27 可以作为 FPGA BANK 0 的 V_{REF} 输入，引脚 17，19，36，38 可以作为 FPGA 的 GCLK 全局时钟输入口，引脚 2，4，6，8 用作 FPGA BANK 0 的 V_{CC0} 电压输入。详细的引脚映射请查看手册末尾的快速参考。

B

板对板连接器 B 共有 100 个引脚，提供来自 FPGA BANK 0 的 28 个 I/O 口和来自 FPGA BANK 1 的 48 个 I/O 口。

其中，引脚 76，92 可以作为 FPGA BANK 0 的 V_{REF} 输入，引脚 86，88，96，98 可以作为 FPGA BANK 0 的 GCLK 输入口。引脚 37，57 可以作为 FPGA BANK 0 的 V_{REF} 输入，引脚 8，10，13，15，23，25 可以作为 FPGA BANK 1 的 GCLK 全局时钟输入口。详细的引脚映射请查看手册末尾的快速参考。

C

板对板连接器 C 共有 60 个引脚，提供 V_{BATT} 电源输入口和 FPGA BANK 1 的 V_{CC0} 电压输入、来自 FPGA 的 JTAG 信号输入、来自 FPGA BANK 1 的 33 个 I/O 口。其中，引脚 16 可以作为 FPGA BANK 0 的 V_{REF} 输入。引脚 2，4 可以作为 FPGA BANK 1 的 GCLK 输入口。引脚 1，3，5，6 用作 FPGA BANK 1 的 V_{CC0} 电压输入。详细的引脚映射请查看手册末尾的快速参考。

设置 I/O 口电压

XMS6302 允许用户通过控制板对板连接器 FPGA BANK0 和 BANK 1 的 V_{CC0} 接入电压来设置多种不同的 I/O 电平标准。下表是这两个 BANK 对应板对板连接器上的 V_{CC0} 设置引脚。

I/O BANK	板对板连接器引脚
0	A-2, 4, 6, 8
1	C-1, 3, 5, 7

差分信号的考虑

XMS6302 的布局和布线在设计时兼顾了许多应用，包括差分对的使用要求。

关于 Spartan-6 FPGA 的差分对标准请参考 Xilinx 的 Spartan-6 FPGA SelectIO Resources User Guide。

注意：对于 XMS6302，仅 BANK 0 可作为 LVDS 输出，而 BANK 0 和 BANK 1 都可作为 LVDS 输入。L1N_VREF_A4_0、L60N_W22_1、L35N_E22_1、L29N_D20_1、L35P_E20_1、L29P_D19_1 这 6 个 I/O 由于 Layout 不满足条件、只能连接单端信号。

FPGA I/O BANK 电压

根据 Xilinx Spartan-6 相关数据手册，为了使用差分 I/O 标准，必须将对应 BANK 的 V_{CC0} 设置为 2.5V。

具体设置方法请查看 Xilinx Spartan-6 datasheet“Setting I/O Voltages”章节。

特性阻抗

所有从 FPGA 到板对板连接器的线路全部进行了特性阻抗控制。其中单端信号的阻抗为 $50\Omega \pm 10\%$ ，差分信号的阻抗为 $100\Omega \pm 10\%$ 。

信号线长度

在许多情况下，信号线的长度必须满足某个规格。我们已经对板上的信号线做了长度约束，差分信号之间的长度约束为 $\pm 3\text{mil}$ 。具体信号线的线长请查看手册末尾的快速参考。

参考电压引脚 (V_{REF})

Spartan-6 FPGA 支持对于某些信号标准可以从外部输入电压阈值。XMS6302 支持设置 BANK 0 和 BANK 1 的 V_{REF} 值：

BANK 0 的 V_{REF} 可以通过板对板连接器 A 上的引脚 16，27 和板对板连接器 B 上的引脚 76，92 设置，这些引脚必须连接相同的电压以得到正确的电压阈值。

BANK 1 的 V_{REF} 可以通过板对板连接器 B 上的引脚 37，57 和板对板连接器 C 上的引脚 16 设置，这些引脚必须连接相同的电压以得到正确的电压阈值。

PCB 版本历史

20211229

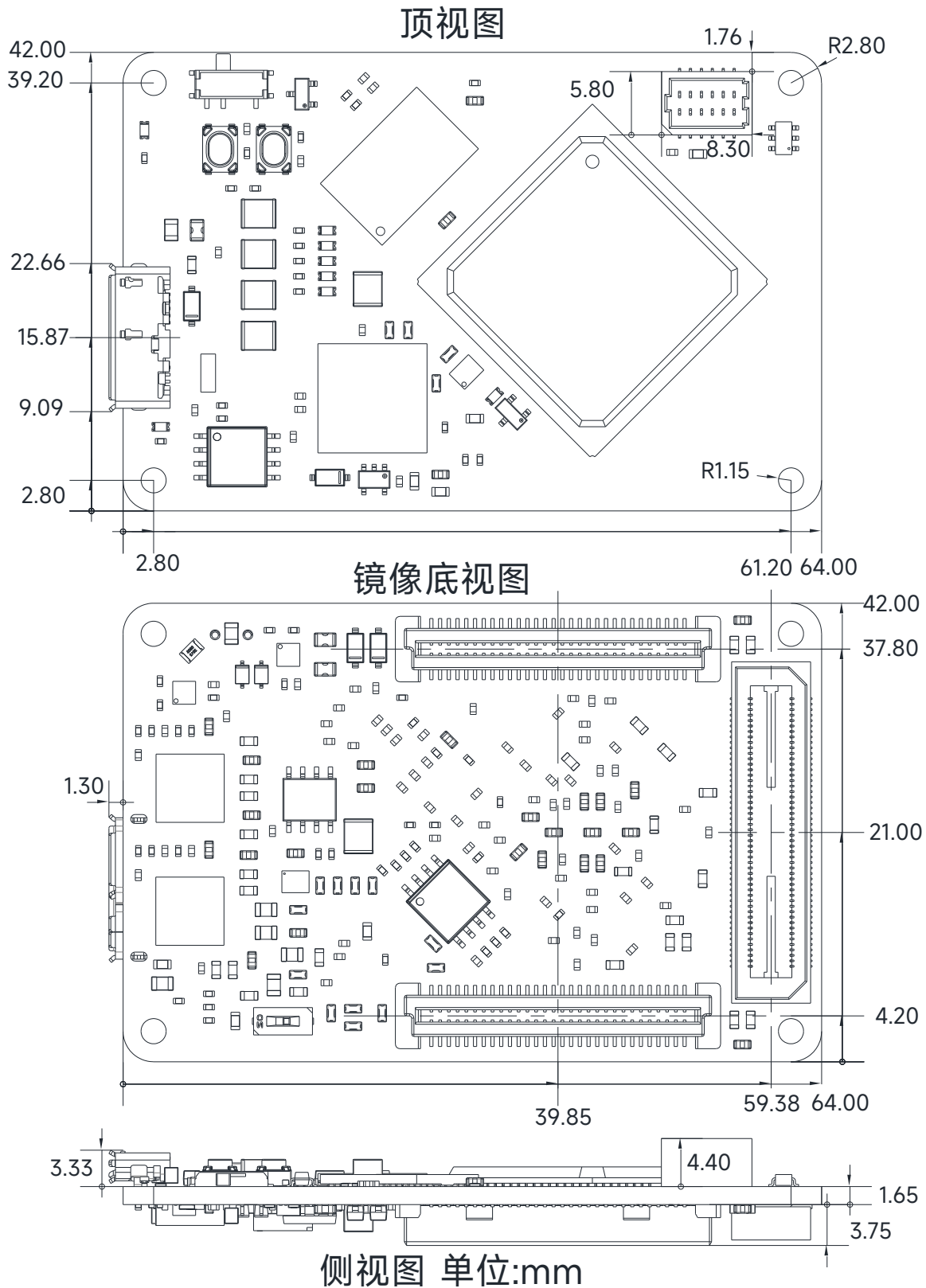
PCB REV A

20221025

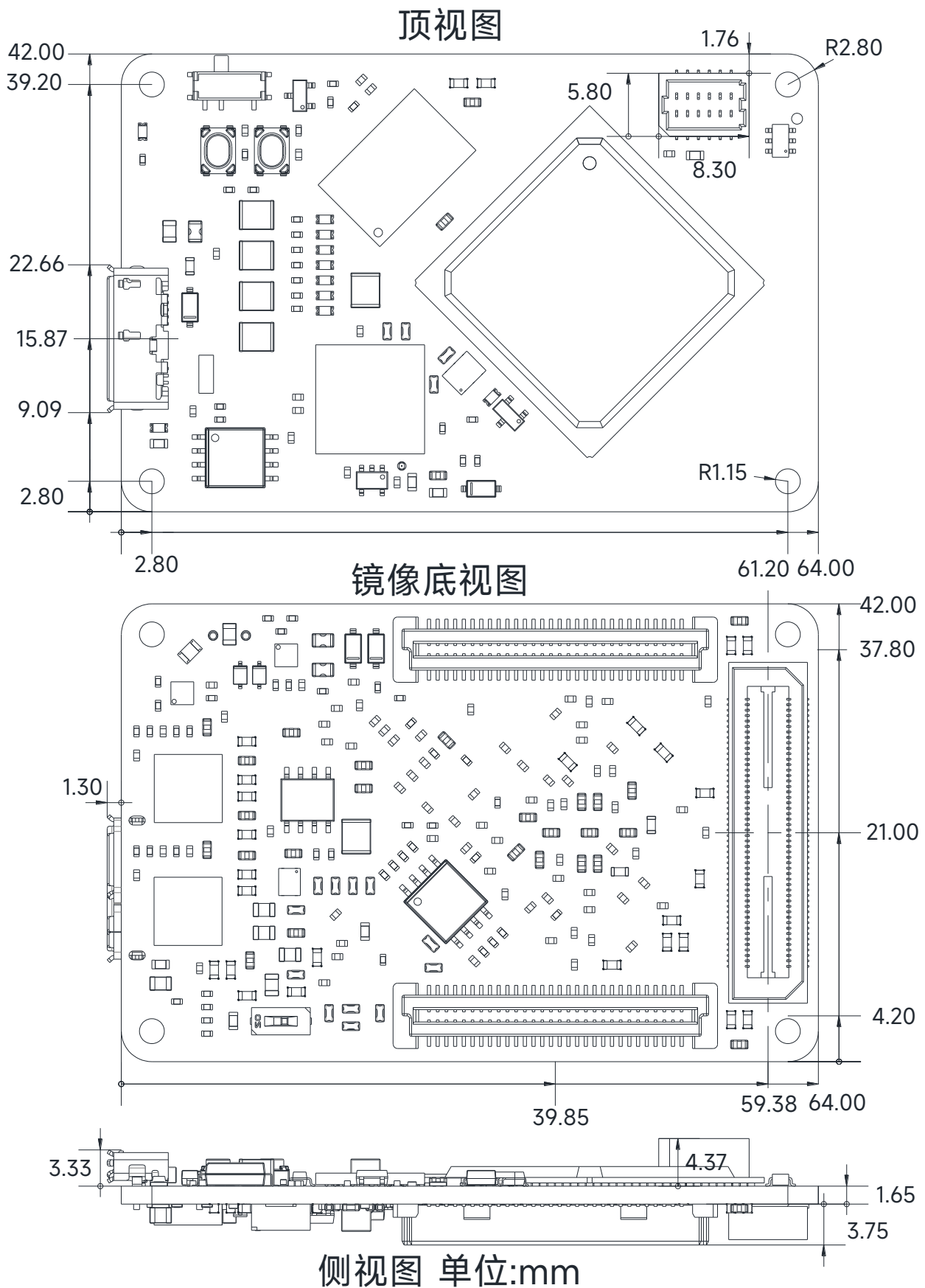
PCB REV B

XMS6302 机械尺寸图

REV A 机械尺寸图:



REV B 机械尺寸图:



XMS6302 引脚快速参考 A

连接器 引脚	网络标识	FPGA 引脚	长度 (mil)
1	L33N_0	C10	389.85
3	L33P_0	D10	389.06
5	DGND		
7	L7P_0	D9	337.42
9	L7N_0	C8	338.21
11	L5N_0	A7	234.89
13	L5P_0	C7	235.54
15	DGND		
17	L35P_GCLK17_0	C11	794.33
19	L35N_GCLK16_0	A11	794.60
21	L43P_0	E12	1070.94
23	L43N_0	D12	1069.46
25	DGND		
27	L1N_VREF_0	A4	707.09
29	L4P_0	B6	499.28
31	L4N_0	A6	499.17
33	DGND		
35	CABLE_TCK		
37	FPGA_TDO		
39	CABLE_TMS		
41	CABLE_TDI		
43	DGND		
45	VCC3V3D_OUT		
47	VCC3V3D_OUT		
49	DGND		
51	DGND		
53	VCC5VD_IN		
55	VCC5VD_IN		
57	VCC5VD_IN		
59	VCC5VD_IN		

连接器 引脚	网络标识	FPGA 引脚	长度 (mil)
2	FPGA_VCCO0_IN		
4	FPGA_VCCO0_IN		
6	FPGA_VCCO0_IN		
8	FPGA_VCCO0_IN		
10	DGND		
12	L45N_0	D13	721.61
14	L45P_0	F13	721.56
16	L8N_VREF_0	A9	519.26
18	L8P_0	C9	519.12
20	L32N_0	D8	544.71
22	L32P_0	D7	546.16
24	DGND		
26	L3N_0	C6	524.49
28	L3P_0	D6	523.97
30	L2N_0	A5	438.47
32	L2P_0	C5	438.16
34	DGND		
36	L34N_GCLK18_0	A10	815.12
38	L34P_GCLK19_0	B10	814.56
40	L6N_0	A8	785.87
42	L6P_0	B8	786.63
44	DGND		
46	VCC3V3D_OUT		
48	VCC3V3D_OUT		
50	DGND		
52	DGND		
54	VCC5VD_IN		
56	VCC5VD_IN		
58	VCC5VD_IN		
60	VCC5VD_IN		

XMS6302 引脚快速参考 B

连接器 引脚	网络标识	FPGA 引脚	长度 (mil)
1	GND		
3	L45P_1	L20	432.72
5	L45N_1	L22	433.70
7	L44N_1	K22	349.71
9	L44P_1	K21	348.94
11	GND		
13	L40N_GCLK10_1	K19	382.84
15	L40P_GCLK11_1	K20	382.49
17	L61P_1	L17	441.98
19	L61N_1	K18	
21	GND		
23	L43N_GCLK4_1	J22	414.31
25	L43P_GCLK5_1	J20	414.76
27	L21P_1	K16	445.24
29	L21N_1	J16	445.72
31	L35N_1	E22	439.78
33	GND		
35	L28P_1	H16	402.55
37	L28N_VREF_1	H17	403.75
39	L34P_1	H19	277.17
41	L34N_1	H18	276.93
43	GND		
45	L9N_1	G17	335.70
47	L9P_1	G16	335.21
49	GND		
51	GND		
53	GND		
55	L1P_1	C19	247.11
57	L1N_VREF_1	B20	247.34
59	L10N_1	F17	301.19
61	L10P_1	F16	300.57
63	GND		
65	L64N_0	A17	402.18

连接器 引脚	网络标识	FPGA 引脚	长度 (mil)
2	GND		
4	L36N_1	K17	712.56
6	L36P_1	J17	712.42
8	L41N_GCLK8_1	H22	526.39
10	L41P_GCLK9_1	H21	526.79
12	GND		
14	L37N_1	F22	453.10
16	L37P_1	F21	453.40
18	L38N_1	J19	571.73
20	L38P_1	H20	571.07
22	GND		
24	L39N_1	G22	514.00
26	L39P_1	G20	514.69
28	L33P_1	G19	490.33
30	L33N_1	F20	489.04
32	GND		
34	L30N_1	F19	482.53
36	L30P_1	F18	482.24
38	L31N_1	D22	320.06
40	L31P_1	D21	320.76
42	GND		
44	L29N_1	D20	355.63
46	L35P_1	E20	516.26
48	L29P_1	D19	525.02
50	GND		
52	L32N_1	C22	364.63
54	L32P_1	C20	364.35
56	L19N_1	B22	290.65
58	L19P_1	B21	290.49
60	GND		
62	L20N_1	A21	264.91
64	L20P_1	A20	265.38
66	L65P_0	B18	352.65

连接器 引脚	网络标识	FPGA 引脚	长度 (mil)
67	L64P_0	C17	402.91
69	GND		
71	L66N_0	D17	334.16
73	L66P_0	E16	333.59
75	L50P_0	B14	230.79
77	L50N_0	A14	230.64
79	GND		
81	L51N_0	A15	330.08
83	L51P_0	C15	330.48
85	L47N_0	F15	480.02
87	L47P_0	E14	480.00
89	GND		
91	L49N_0	C14	442.20
93	L49P_0	D14	442.97
95	L46N_0	G13	620.93
97	L46P_0	H13	620.37
99	GND		

连接器 引脚	网络标识	FPGA 引脚	长度 (mil)
68	L65N_0	A18	353.19
70	GND		
72	L63P_0	B16	493.94
74	L63N_0	A16	493.82
76	L62N_VREF_0	C16	519.43
78	L62P_0	D15	518.83
80	GND		
82	L48P_0	F14	739.59
84	L48N_0	H14	739.82
86	L37P_GCLK13_0	B12	524.14
88	L37N_GCLK12_0	A12	523.28
90	GND		
92	L38N_VREF_0	A13	606.27
94	L38P_0	C13	605.71
96	L36N_GCLK14_0	C12	669.59
98	L36P_GCLK15_0	D11	668.99
100	GND		

XMS6302 引脚快速参考 C

连接器 引脚	网络标识	FPGA 引脚	长度 (mil)
1	VCCO1_IN		
3	VCCO1_IN		
5	VCCO1_IN		
7	VCCO1_IN		
9	GND		
11	GND		
13	L46N_1	M22	564.41
15	L46P_1	M21	563.73
17	L72N_1	N16	785.60
19	L72P_1	P17	786.00
21	GND		
23	L47N_1	N22	579.67
25	L47P_1	N20	579.22
27	L59P_1	P19	723.01
29	L59N_1	P20	722.65
31	GND		
33	L73P_1	P18	665.07
35	L73N_1	R19	665.74
37	L51N_1	U22	574.83
39	L51P_1	U20	574.03
41	GND		
43	L48N_1	P22	906.12
45	L48P_1	P21	907.40
47	L50N_1	T22	866.19
49	L50P_1	T21	865.76
51	GND		
53	VCC1V8D_OUT		
55	VCC1V8D_OUT		
57	GND		
59	MR_N_IN		

连接器 引脚	网络标识	FPGA 引脚	长度 (mil)
2	L42N_GCLK6_1	L19	444.71
4	L42P_GCLK7_1	M20	443.98
6	L58N_1	L15	573.31
8	L58P_1	M16	572.95
10	GND		
12	GND		
14	L53P_1	M19	426.33
16	L53N_VREF_1	N19	426.81
18	L71N_1	M18	492.64
20	L71P_1	M17	492.06
22	GND		
24	L49P_1	R20	460.47
26	L49N_1	R22	460.28
28	GND		
30	GND		
32	GND		
34	L74N_1	T20	473.45
36	L74P_1	T19	472.86
38	L70P_1	U19	495.98
40	L70N_1	V20	496.69
42	GND		
44	L60N_1	W22	565.59
46	L52P_1	V21	701.84
48	L52N_1	V22	701.92
50	FPGA_VBATT		
52	GND		
54	VCC1V8D_OUT		
56	VCC1V8D_OUT		
58	GND		
60	SYS_RST_OUT		

XMS6302 引脚快速参考外设

网络标识	FPGA 引脚
LED1	T3
LED2	W1
LED3	T4
LED4	V3
LED5	U4
LED6 (RevA 无)	P3
LED7 (RevA 无)	N4
BUTTON1	A2
BUTTON2	B1

JTAG 专用接口信号定义

JTAG 连接器 引脚	网络标识
1	GND
2	GND
3	VCC2V5D_OUT
4	GND
5	CABLE_TMS
6	GND
7	CABLE_TCK
8	GND
9	FPGA_TDO
10	GND
11	CABLE_TDI
12	GND

原理图、PCB 及结构设计检查表

序号	原理图设计检查表	是否满足
1	板对板连接器 A53-A60 引脚是否提供了 5V 供电	
2	5V 输入电流是否满足需求	
3	板对板连接器上的 5V、3.3V 及 1.8V 电源接口处是否放置了去耦电容	
4	去耦电容耐压值是否满足额定电压 2-3 倍的要求	
5	板对板连接器上的 3.3V 及 1.8V 电源是否是作为输出使用	
6	3.3V 及 1.8V 电流输出是否能够满足需求（额定值分别为 2.5A 和 2.0A）	
7	VCCO0 及 VCCO1 是否有接入正确的电压值，是否放置去耦电容	
8	I/O 输入电压是否小于 3.95V（PCI 电平标准下要小于 VCCO）	
9	差分信号是否全部在可以作为差分信号的 IO 上	
10	LVDS 输出信号是否位于 BANK0 上	
11	输入时钟信号是否连接在 GCLK 引脚上	
12	JTAG 接口的参考电压是否为 2.5V	

序号	PCB 及结构设计检查表	是否满足
1	板对板连接器的去耦电容是否靠近引脚放置	
2	高速传输线是否进行了阻抗控制（单端 50Ω、差分 100Ω）	
3	高速传输线是否考虑组内延迟要求	
4	模块底部的 PCB 上是否没有比较高的元器件	
5	模块固定铜柱是否是 M2 孔 5mm 高度	
6	密闭环境下是否满足散热要求	